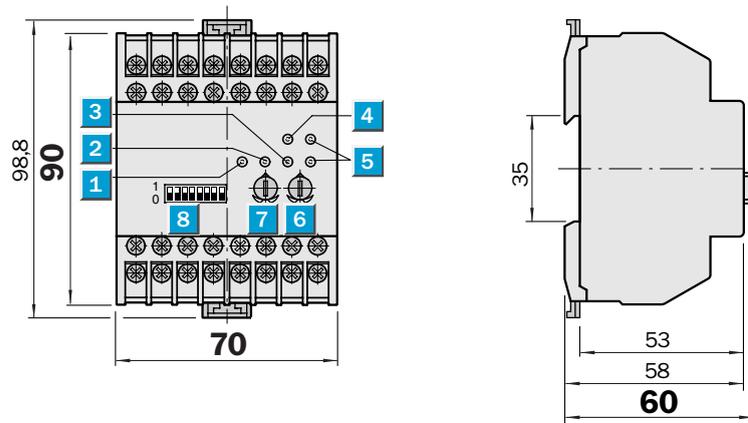


# Schaltgerät EN 2

## Merkmale

- Universelle Versorgungsspannung
- 3 Eingänge mit Verknüpfungsmöglichkeiten über DIP-Schalter
- Zeitstufen einstellbar
- Gehäuse mit Schnappbefestigung für Tragschiene DIN 46277

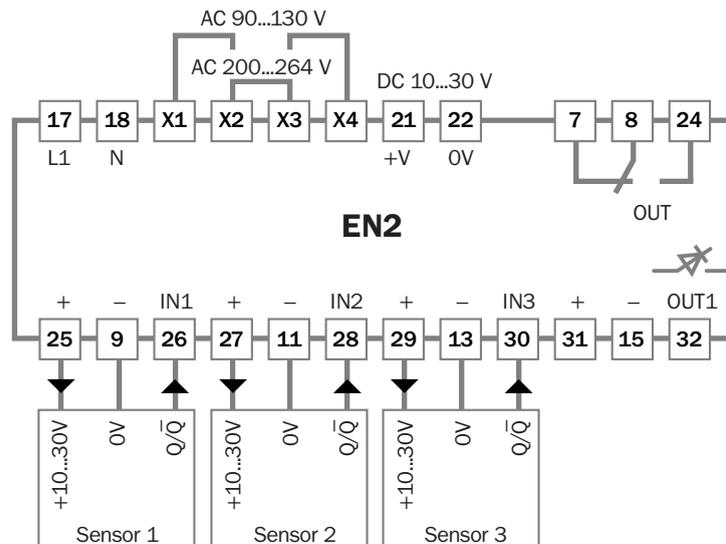
## Maßbild



- 1 Anzeige IN 1
- 2 Anzeige IN 2
- 3 Anzeige IN 3
- 4 Betriebsanzeige
- 5 Anzeige OUT (Transistor/Relais)
- 6 Ausschaltverzögerung  $t_2$
- 7 Einschaltverzögerung  $t_1$
- 8 DIP-Schalter F1 – F8

## Anschlussschema

EN 2  
EN 2T

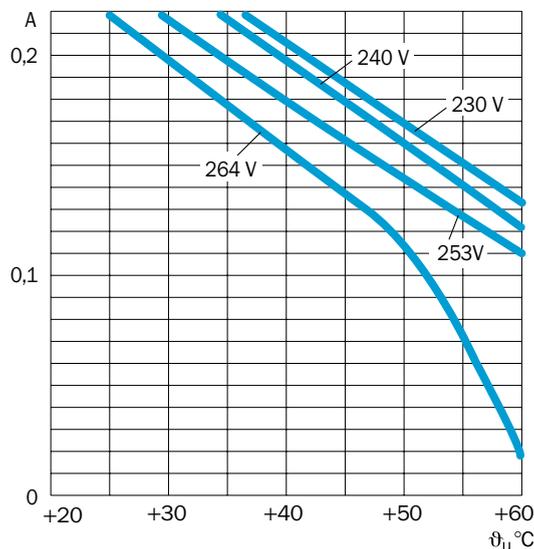


Technische Daten		EN 2	EN 2T								
<b>Versorgungsspannung <math>U_v</math></b>	AC 90...130 V oder AC 200...264 V (durch Brücken umrüstbar)										
	DC 10...30 V <sup>1)</sup>										
Netzfrequenz	48...62 Hz										
Leistungsaufnahme	ca. 40 VA										
<b>Ausgänge</b>											
Versorgungsspannung für Sensor	DC 24 V $\pm$ 25 %										
Ausgangsstrom (Summe)	gesamt 220 mA siehe Belastungskurve										
	Ausgangsstrom										
<b>Transistorausgang</b>											
	32 (OUT 1)										
Schaltstrom, max.	100 mA, kurzschlussfest, Anzeige OUT blinkt bei Überlastung, erlischt bei Kurzschluss										
Schaltfrequenz	10 kHz										
<b>Relaisausgang</b>											
	7/8/24 (OUT)										
Schaltspannung max.	AC 250 V										
Schaltstrom max.	2 A										
Schaltfrequenz	10/s										
<b>Eingänge</b>											
	26 (IN 1) und 28 (IN 2) und 30 (IN 3), geeignet für PNP, NPN <sup>2)</sup> und B Sensor- ausgänge										
Eingangsspannung	DC 10...30 V										
HIGH	> DC 10 V										
LOW	> DC 6 V										
Mindestschaltzeit	5 $\mu$ s										
<b>Logik</b>											
	Verknüpfung der 3 Eingänge sowie Ver- zögerungs- und Speicher-Modi über DIP-Schalter F1 – F8 (siehe Wahrheits- tabelle und Funktionsdiagramme)										
<b>Zeitstufen</b>											
Ausschaltverzögerung $t_1$	0,005...1 s, einstellbar										
Einschaltverzögerung $t_2$	0,005...1 s, einstellbar										
	1...120 s, einstellbar										
<b>VDE-Schutzklasse</b>	<input type="checkbox"/>										
<b>Schutzart</b>	IP 20										
<b>Umgebungstemperatur</b>	Betrieb –25 °C...+55 °C Lager –40 °C...+70 °C										
<b>Schockbelastung</b>	nach IEC 68										
<b>Gewicht</b>	ca. 400 g										
<b>Gehäusematerial</b>	Kunststoff										

<sup>1)</sup> Auslieferung AC 200...264 V

<sup>2)</sup> Für NPN-Variante externer pull-up-  
Widerstand  $\leq$  10 k $\Omega$  erforderlich

**Belastungskurve Ausgangsstrom**



**Bestell-Information**

Typ	Bestell-Nr.
EN 2	6 009 654
EN 2T	6 010 342

## Wahrheitstabelle

<b>F 3</b>	0	IN 1 normal		
	1	IN 1 invertiert		
<b>F 7</b>	0	IN 2 normal		
	1	IN 2 invertiert		
<b>F 5</b>	0	$f(\text{IN 1, IN 2}) = \text{IN 1 oder IN 2}$		
	1	$f(\text{IN 1, IN 2}) = \text{IN 1 und IN 2}$		
<b>F 8</b>	0	<b>F 8 = 0</b>		
	1		<b>F 8 = 1</b>	
<b>F 6</b>	0	$f(\text{IN 1, IN 2, IN 3}) = \text{IN 3 oder } f(\text{IN 1, IN 2})$	IN 3 normal	
	1	$f(\text{IN 1, IN 2, IN 3}) = \text{IN 3 und } f(\text{IN 1, IN 2})$	IN 3 invertiert	
<b>F 4</b>	0	OUT 1 normal	<b>F 4 = 0</b>	
	1	OUT 1 invertiert		<b>F 4 = 1</b>
<b>F 1</b>	0	<b>Mode 1</b> (keine Verzögerung)	<b>Mode 5</b>	<b>Mode 9</b>
	0			
	1	<b>Mode 2</b> (Einschalt- und Ausschaltverzögerung)	<b>Mode 6</b>	<b>Mode 10</b>
	1			
<b>F 2</b>	0	<b>Mode 3</b> (dynamisch verzögert)	<b>Mode 7</b>	<b>Mode 11</b>
	1			
	1	<b>Mode 4</b> (Frequenzdiskriminator)	<b>Mode 8</b>	<b>Mode 12</b>
	1			

## Logik-Modul:

Je nach Stellung der 8 DIP-Schalter F1–F8 auf der Front des Gerätes werden die logischen Eingangspegel der 3 Eingänge miteinander verknüpft und bewirken direkt oder verzögert eine Reaktion des Ausgangs (der parallel als Relais- und Halbleiter-Ausgang ausgebildet ist).

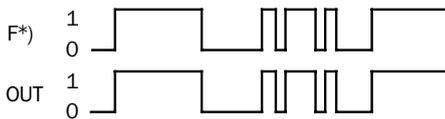
## Funktionsdiagramme und Beschreibung der Modi

### F 8 = 0

#### Mode 1

F 1 = 0

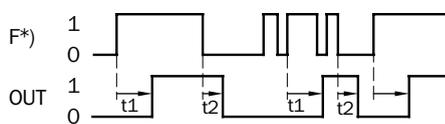
F 2 = 0



#### Mode 2

F 1 = 0

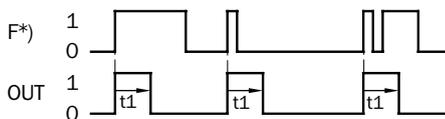
F 2 = 1



#### Mode 3

F 1 = 1

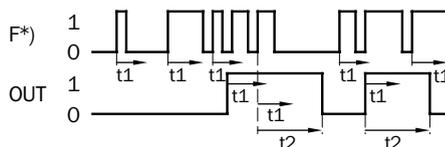
F 2 = 0



#### Mode 4

F 1 = 1

F 2 = 1



## Verzögerungs-Modi

### Keine Verzögerung

Der Ausgang OUT folgt unverzögert F\*, der logischen Verknüpfung der Eingänge IN 1, IN 2 und IN 3.

### Einschalt- und Ausschaltverzögerung

Der Ausgang OUT folgt anzugs- und abfallverzögert F\*. F\* muss min. für  $t_1$  high sein, damit OUT reagiert. Durch LOW von F\* wird  $t_1$  zurückgesetzt. Nach Ablauf  $t_1$  spricht OUT an, Oszillator f.  $t_1$  wird angehalten. Wenn dann F\* wieder LOW, beginnt  $t_2$  zu laufen, nach deren Ende OUT inaktiv wird. Geht während des Ablaufs von  $t_2$  F\* wieder HIGH, wird  $t_2$  zurückgesetzt und beginnt bei F\* = LOW wieder neu zu laufen. Beide Zeiten,  $t_1$  und  $t_2$ , sind also retriggerbar.

### Dynamisch verzögert

Der Ausgang OUT wird mit einer steigenden Flanke von F\* für die Dauer von  $t_1$  gesetzt. Diese Zeit ist hier nicht nachtriggerbar.

### Frequenzdiskriminator

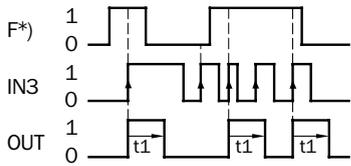
Mit der ersten steigenden Flanke von F\* wird die Zeitstufe  $t_1$  gestartet. Kommt innerhalb des Ablaufs von  $t_1$  eine weitere steigende Flanke von F\*, wird OUT für die Dauer von  $t_2$  gesetzt und gleichzeitig Zeitstufe  $t_1$  nachgetriggert. Alle weiteren steigenden Flanken von F\*, wenn sie während des Ablaufs von  $t_1$  eintreffen, triggern sowohl  $t_1$  als auch  $t_2$ .  $t_2$  ist in der Praxis immer größer als  $t_1$  einzustellen. Wenn  $t_1$ , aber noch nicht  $t_2$  abgelaufen ist, wird  $t_2$  nicht durch die nächste steigende Flanke von F\* nachgetriggert.

Diese Funktion ergibt bei der Einstellung  $t_2 \geq t_1$  einen Frequenzdiskriminator: Wenn die Periodendauer T der Eingangsfrequenz von F\* kleiner als  $t_1$  ist, geht OUT ständig auf HIGH; ist oder wird T größer als  $t_1$ , bleibt bzw. wird OUT LOW.

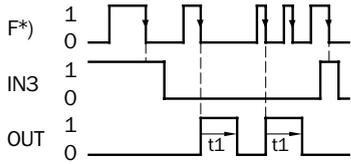
F\*) logische Verknüpfung der Eingänge:  $F = f(\text{IN 1, IN 2, IN 3})$

**F 8 = 1**      **F 4 = 0**

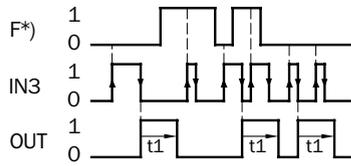
**Mode 5**      **F 1 = 0**      **F 2 = 0**



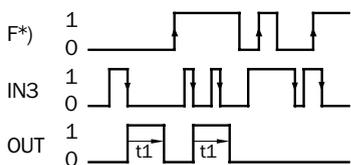
**Mode 6**      **F 1 = 0**      **F 2 = 1**



**Mode 7**      **F 1 = 1**      **F 2 = 0**

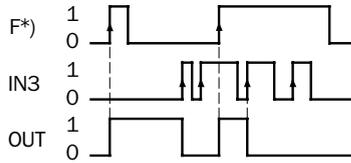


**Mode 8**      **F 1 = 1**      **F 2 = 1**

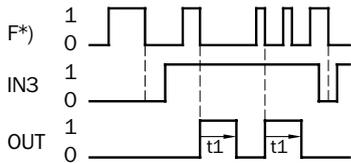


**F 8 = 1**      **F 4 = 1**

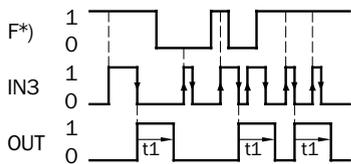
**Mode 9**      **F 1 = 0**      **F 2 = 0**



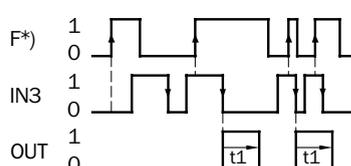
**Mode 10**      **F 1 = 0**      **F 2 = 1**



**Mode 11**      **F 1 = 1**      **F 2 = 0**



**Mode 12**      **F 1 = 1**      **F 2 = 1**



**Speicher-Modi**

Wenn während der steigenden Flanke von IN 3 die Verknüpfung F\*) HIGH ist, wird mit dieser Flanke der Ausgang OUT für die Zeit t<sub>1</sub> gesetzt.

Wenn während der fallenden Flanke von F\*) IN 3 nicht HIGH ist, wird der Ausgang für die Dauer von t<sub>1</sub> gesetzt.

War bei steigender Flanke von IN 3 F\*) nicht HIGH, so wird mit der fallenden Flanke von IN 3 der Ausgang für die Zeit t<sub>1</sub> gesetzt.

Tritt während der HIGH-Zeit von IN 3 keine steigende Flanke von F\*) auf, so wird bei der fallenden Flanke von IN 3 der Ausgang für die Dauer von t<sub>1</sub> gesetzt.

**Speicher-Modi**

Eine steigende Flanke von F\*) setzt den Ausgang; eine steigende Flanke von IN 3 setzt ihn zurück (flankengesteuertes RS-Flipflop).

Wenn während der fallenden Flanke von F\*) IN 3 HIGH ist, wird der Ausgang für die Dauer von t<sub>1</sub> gesetzt (d.h. wie Mo 2, nur IN 3 invertiert verwendet).

War bei steigender Flanke von IN 3 F\*) nicht HIGH, so wird mit der fallenden Flanke von IN 3 der Ausgang für die Zeit t<sub>1</sub> gesetzt (wie Mo 3, F\* invertiert verwendet).

Tritt während der HIGH-Zeit von IN 3 keine steigende Flanke von F\*) auf, so wird bei der fallenden Flanke von IN 3 der Ausgang für die Dauer von t<sub>1</sub> gesetzt.

F\*) logische Verknüpfung der Eingänge: F = f (IN 1, IN 2, IN 3)